

Docket No.: 2336-247

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
Joo Ho LEE et al.	:	Confirmation No. <i>Not yet assigned</i>
U.S. Patent Application No. <i>Not yet assigned</i>	:	Group Art Unit: <i>Not yet assigned</i>
Filed: <i>Herewith</i>	:	Examiner: <i>Not yet assigned</i>

For: WAFER LEVEL PACKAGE FOR MICRO DEVICE AND MANUFACTURING
METHOD THEREOF

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 2003-0068165, filed October 1, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: March 3, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0068165
Application Number

출원 년 월 일 : 2003년 10월 01일
Date of Application OCT 01, 2003

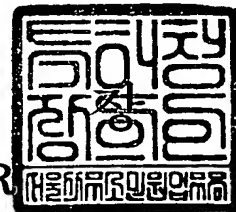
출원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 10 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.10.01
【국제특허분류】	H01L 21/00
【발명의 명칭】	마이크로 디바이스를 위한 웨이퍼 레벨 패키지 및 제조방법
【발명의 영문명칭】	WAFER LEVEL PACKAGE FOR MICRO-DEVICE AND METHOD OF PRODUCING THE SAME
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	특허법인씨엔에스
【대리인코드】	9-2003-100065-1
【지정된변리사】	손원 , 노세호
【포괄위임등록번호】	2003-045784-9
【발명자】	
【성명의 국문표기】	이주호
【성명의 영문표기】	LEE, Joo Ho
【주민등록번호】	731217-1001611
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 255-7호
【국적】	KR
【발명자】	
【성명의 국문표기】	신제식
【성명의 영문표기】	SHIN, Jae Shik
【주민등록번호】	720412-1548111
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 901동 2005호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인씨엔에스 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	9 면	9,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	21 항	781,000 원
【합계】	819,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 FBAR소자와 같은 마이크로 디바이스를 위한 웨이퍼 레벨 패키지에 관한 것으로, 마이크로 디바이스와 상기 마이크로 디바이스에 연결된 본딩패드가 형성된 상면을 갖는 디바이스 웨이퍼와, 상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터와, 상기 디바이스 웨이퍼의 하면에 형성되어 상기 비아 컨넥터를 통해 상기 본딩패드와 연결된 외부 본딩패드와, 상기 마이크로 디바이스가 외부와 분리되어 밀폐되도록 상기 디바이스 웨이퍼 상면에 접합된 캡구조물을 포함하는 웨이퍼 레벨 패키지를 제공한다.

본 발명에 따르면, 패키지연결구조를 캡 웨이퍼에 대한 추가적인 가공공정없이 디바이스 제조를 위한 디바이스 웨이퍼 제조공정을 통해 일괄적인 제조가 가능하여 생산성을 향상시킬 수 있으며, 종래방식과 달리 본딩패드 상에 실링부재가 요구되지 않아 금속실링방식 외에도 다양한 실링방식과 캡구조를 선택하여 사용할 수 있으므로, 제품에 적합한 실링방식과 캡구조를 채용할 수 있어 제품의 신뢰성을 향상시킬 수 있다.

【대표도】

도 3

【색인어】

웨이퍼 레벨 패키지(wafer level package), 금속실링(metallic sealing), 마이크로 디바이스(micro device), FBAR(Film Bulk Acoustic Resonator)

【명세서】

【발명의 명칭】

마이크로 디바이스를 위한 웨이퍼 레벨 패키지 및 제조방법{WAFER LEVEL PACKAGE FOR MICRO-DEVICE AND METHOD OF PRODUCING THE SAME}

【도면의 간단한 설명】

도1은 종래의 HTCC기판을 이용한 마이크로 디바이스 패키지의 측단면도이다.

도2는 종래의 웨이퍼 레벨 패키지의 측단면도이다.

도3a 및 도3b는 본 발명의 일 실시형태에 따른 웨이퍼 레벨 패키지의 측단면도 및 상부평면도이다.

도4a 내지 도4e는 본 발명의 일 실시형태에 따른 웨이퍼 레벨 패키지의 제조공정을 설명하기 위한 공정단면도이다.

도5는 본 발명의 다른 실시형태에 따른 웨이퍼 레벨 패키지의 측단면도이다.

도6a 내지 도6d는 본 발명의 또 다른 실시형태에 따른 웨이퍼 레벨 패키지의 제조공정을 설명하기 위한 공정단면도이다.

<도면의 주요부분에 대한 부호설명>

50: 디바이스 웨이퍼 51: 본딩패드

52: 주변금속패드 53: 실링부재

54: 에어갭 55: 마이크로 디바이스

57: 비아 컨넥터 58: 외부 본딩패드

59: 본딩 와이어 60: 캡 웨이퍼

54: 캐비티

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 웨이퍼 레벨 패키지 및 그 제조방법에 관한 것으로서, 특히 FBAR와 같이 마이크로 디바이스를 칩스케일 패키지로 형성하기 위한 웨이퍼 레벨 패키지 및 제조방법에 관한 것이다.
- <15> , 최근 통신기술의 급속한 발전에 따라 고주파 부품 기술의 발전도 강하게 요구되고 있다. 이러한 요구에 부응하여, 반도체 기판 위에 압전 유전체물질을 증착하여 제조된 박막형태의 필터소자인 FBAR소자가 개발되었으며, 현재 RF 무선이동통신분야에서 핵심수동부품으로서 각광받고 있다.
- <16> 일반적으로, 이러한 FBAR 소자와 같은 마이크로 디바이스는 듀플렉서 필터와 같은 제품으로서 패키징되어 제품에 실장된다. 따라서, 이동통신제품의 소형화를 위해 마이크로 디바이스 패키지를 보다 소형화하는 것이 요구된다.
- <17> 종래에는 FBAR 소자와 같은 마이크로 디바이스는 고온소성 세라믹 기판(High Temperature Cofired Ceramic)을 이용하여 패키지로 제조되었다. 도1은 종래의 HTCC기판을 이용한 마이크로 디바이스 패키지를 도시한다.

- <18> 도1와 같이, 종래의 마이크로 디바이스 패키지(10)는 마이크로 디바이스(15)와 내부에 상기 마이크로 디바이스(15)가 탑재된 HTCC 기판(11)을 포함한다. 상기 HTCC 기판(11)에는 마이크로 디바이스(15)를 수용하기 위한 실장부(14)가 형성된다. 상기 마이크로 디바이스(15)는 실장부(14)에 탑재되며 상기 HTCC 기판(11)에 마련된 본딩패드(12)에 와이어(19)로 연결된다. 상기 마이크로 디바이스(15)가 탑재된 실장부(14)가 밀폐되도록 상기 HTCC 기판(11)의 상부에는 캡층(18)이 형성된다.
- <19> 도1에 도시된 마이크로 디바이스 패키지(10)는, 웨이퍼 단위로 제조된 마이크로 디바이스(15)를 충분한 칩다이의 면적을 확보한 상태로 절단하고, 이를 다시 더 큰 구조물에 실장하는 방식으로 제조된다. 따라서, 칩 자체의 크기도 커질 뿐만 아니라, 내부에 실장을 위한 층단 구조를 갖는 HTCC 기판(11)의 크기도 반영되므로, 최종 패키지를 소형화하기 어렵다는 문제가 있다. 예를 들어, FBAR 소자 패키지의 경우에 도1의 방식에 따른 단일 FBAR소자 패키지는 3mm × 3mm의 크기이하로 구현이 불가능하므로, 2개의 FBAR 소자가 갖는 듀플렉서 패키지를 원하는 크기(예를 들어, 5mm × 5mm)로 제조하기 상당히 곤란하다.
- <20> 이러한 소형화의 요구에 만족시키기 위해, 마이크로 디바이스가 구현된 웨이퍼 레벨에서 칩 스케일 패키지(chip scale package)를 구현하는 방안이 개발되고 있다. 이러한 웨이퍼 레벨 패키지에서는, 단자형성을 위해 가공된 캡 웨이퍼와 같은 캡구조물을 이용한다. 도2는 종래의 캡 웨이퍼(30)를 이용한 웨이퍼 레벨 패키지(40)의 측단면도이다.
- <21> 도2를 참조하면, 웨이퍼 레벨 패키지(40)는 FBAR 소자와 같은 마이크로 디바이스(25)가 형성된 디바이스 웨이퍼(20)와 캡 웨이퍼(30)를 포함한다. 상기 디바이스 웨이퍼(20)는 그 상면에 형성된 마이크로 디바이스(25)를 구동하기 위한 소정의 전기적 본딩패드(21)와 그 주위에

주변패드(22)를 포함한다. 또한, 상기 캡 웨이퍼(30)에는 와이어(39) 본딩을 이용하여 상기 본딩패드(21)와 외부회로(미도시)를 연결시킬 수 있도록 상기 본딩패드(21)에 대응하는 부분에 비아홀(H)이 형성된다.

<22> 또한, 마이크로 디바이스(25)의 신뢰성을 확보하기 위해서, 캡 웨이퍼(30)와 디바이스 웨이퍼(20) 사이에 제1 및 제2 실링부재(23,24)를 형성한다. 상기 제1 실링부재(23)는 마이크로 디바이스(25)가 비아홀(H)을 통해 외부로 노출되지 않도록 와이어 본딩이 형성될 본딩패드(21) 주위에 링형상으로 형성되며, 상기 제2 실링부재(24)는 패키지(40) 외주를 따라 주변패드(22) 상에 형성된다.

<23> 도2에 도시된 마이크로 캡을 이용한 웨이퍼 레벨 패키지(40)는 HTCC기판을 이용한 패키지에 비해 소형화에 훨씬 유리하다는 이점이 있으나, 반면에 본딩패드(21)에 대응하도록 비아홀(H)을 미리 형성해야 하므로, 복잡한 캡 웨이퍼 가공방법이 수행해야 하는 공정상 번거로움이 있다.

<24> 또한, 도2에 도시된 패키지(40)에서는, 디바이스 웨이퍼 상에 형성된 본딩패드(21)에 연결하기 위해 캡 웨이퍼에 형성된 비아홀(H)에 의해 마이크로 디바이스부분이 노출되는 것을 방지하기 위해, 제1 실링부재(23)를 형성해야 하는데, 이 경우에 제1 실링부재(23)는 금속인 본딩패드(21) 상에 형성되므로, 금속실링부재를 이용할 수 밖에 없다. 이러한 금속실링은 400℃의 높은 온도에서 실링공정을 수행해야 하므로 디바이스에 악영향을 줄 수 있을 뿐만 아니라, 애노드 본딩에 비해 본딩패드의 접촉면의 상태불량이나 약한 접합강도로 인해 리키지가 발생할 위험이 크다는 문제가 있다.

<25> 따라서, 당 기술분야에서는 칩 웨이퍼와 같은 칩구조물에 관련된 공정을 보다 간소화하여 전체 수율을 향상시킬 뿐만 아니라, 웨이퍼 레벨 패키지의 완전한 기밀성을 보장할 수 있는 견고한 칩 스케일 패키지 및 그 제조방법이 요구되어 왔다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 그 목적은 디바이스 웨이퍼 상에 외부회로와 연결하기 위한 패키지연결구조를 마련하여 칩 크기를 소형화할 수 있는 웨이퍼 레벨 패키지를 제공하는데 있다.

<27> 또한, 본 발명의 다른 목적은 디바이스 웨이퍼 상에 외부회로와 연결하기 위한 패키지연결구조를 마련함으로써 칩 웨이퍼에 대한 가공공정을 디바이스 웨이퍼의 반도체 공정에서 일괄적으로 수행함으로써 전체 공정을 간소화시킬 수 있는 웨이퍼 레벨 패키지의 제조공정을 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상기한 기술적 과제를 해결하기 위해, 본 발명은,

<29> 마이크로 디바이스와 상기 마이크로 디바이스에 연결된 본딩패드가 형성된 상면을 갖는 디바이스 웨이퍼와, 상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터와, 상기 디바이스 웨이퍼의 하면에 형성되어 상기 비아 컨넥터를 통해 상기 본딩패드와 연결된 외부 본딩패드와, 상기 마이크로 디바이스가 외부와 분리되어 밀폐되도록 상기 디바이스 웨이퍼 상면에 접합된 칩구조물을 포함하는 웨이퍼 레벨 패키지를 제공한다.

- <30> 바람직하게, 상기 캡구조물은 상기 마이크로 디바이스를 수용하기 위한 캐비티가 마련된다. 이러한 캡구조물로는 실리콘 웨이퍼, 글래스 웨이퍼 또는 감광성 드라이 필름이 사용될 수 있다.
- <31> 또한, 본 발명의 바람직한 실시형태는, 상기 마이크로 디바이스가 외부로부터 밀폐되도록 상기 캡구조물과 상기 디바이스 웨이퍼를 접합하기 위한 실링부재를 더 포함할 수 있다.
- <32> 나아가, 상기 디바이스 웨이퍼는 상기 캡구조물과 접합되는 상면영역에 형성된 주변 금속패드를 구비할 수 있다. 이 경우에, 상기 실링부재는 상기 주변 금속패드 상에 형성된 금속물질일 수 있다. 이와 달리, 상기 실링부재는 글래스 플릿 또는 수지계열 접착제를 사용할 수 있다.
- <33> 캡 구조물로서 드라이필름을 이용하는 실시형태에서는, 상기 디바이스 웨이퍼 상에 형성되며, 상기 마이크로 디바이스를 수용하기 위한 공간이 마련된 드라이필름 구조물과 그 외부면에 도포된 페시베이션층을 포함할 수 있다.
- <34> 이러한 페시베이션층으로는 에폭시수지, 열경화성 수지 및 감광성 수지로 구성된 그룹으로부터 선택된 물질을 사용할 수 있다.
- <35> 또한, 본 발명은 새로운 웨이퍼 레벨 패키지 제조방법을 제공할 수 있다. 상기 방법은, 마이크로 디바이스와 상기 마이크로 디바이스에 연결된 본딩패드가 형성된 상면을 갖는 디바이스 웨이퍼를 마련하는 단계와, 상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된

비아 컨넥터를 형성하는 단계와, 상기 마이크로 디바이스가 외부와 분리되어 밀폐되도록 상기 디바이스 웨이퍼 상면에 캡 구조물을 접합시키는 단계와, 상기 디바이스 웨이퍼의 하면에 상기 비아 컨넥터를 통해 상기 본딩패드와 연결된 외부 본딩패드를 형성하는 단계를 형성하는 단계를 포함한다.

<36> 여기서, 상기 비아 컨넥터를 형성하는 단계는, 상기 본딩패드에 소정의 깊이를 갖는 비아홀을 형성하는 단계와, 상기 비아홀에 도전물질을 충전시켜 도전성 비아홀을 형성하는 단계와, 상기 도전성 비아홀이 상기 디바이스 웨이퍼 하면에 노출되도록 상기 디바이스 웨이퍼를 그라인딩하는 단계로 구현될 수 있다.

<37> 상기 그라인딩공정을 결합한 비아 컨넥터 형성공정에서, 상기 디바이스 웨이퍼를 그라인딩하는 단계는, 상기 캡구조물을 접합시키는 단계 전 또는 후에 선택적으로 실시할 수도 있다.

<38> 또한, 상기 캡구조물을 형성하는 단계는, 드라이필름을 이용하여 상기 마이크로 디바이스를 수용하기 위한 공간이 마련된 드라이 필름 구조물을 형성하는 단계와, 상기 캡 구조물의 외부면에 페시베이션층을 도포하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법으로 구현될 수 있다.

<39> 여기서, 상기 드라이필름 구조물을 형성하는 단계는, 드라이필름을 이용하여 상기 디바이스 웨이퍼 상면에 상기 마이크로 디바이스의 주위를 둘러싸도록 적어도 상기 디바이스의 높이보다 높은 측벽구조물을 형성하는 단계와, 드라이필름을 이용하여 상기 측벽구조물 상부가 밀폐되도록 루프(roof)구조물을 형성하는 단계로 구성될 수 있다.

- <40> 본 발명의 기본적인 특징은 웨이퍼 레벨 패키지를 구현하는데 있어서, 종래의 방식과 달리 디바이스 웨이퍼 상에 패키지 연결구조를 형성한다는 데 있다. 즉 본 발명에서는 디바이스 웨이퍼에 비아 콘넥터를 형성하고, 디바이스 웨이퍼의 하면에 비아 콘넥터와 연결된 외부 본딩 패드를 형성함으로써 패키지 연결구조를 마련하는 방안을 제공한다.
- <41> 본 발명에 따른 패키지 연결구조는, 종래의 마이크로 캡을 이용한 웨이퍼 레벨 패키지와 같이 캡구조물에 디바이스 웨이퍼 상의 본딩패드를 노출시키는 비아를 형성하지 않으므로, 그 본딩패드 상에 형성하는 링형상의 실링부재가 요구되지 않는다. 따라서, 실링부재를 디바이스에 연결된 금속인 본딩패드 상에 형성하지 않아도 되므로, 종래의 링형상 실링부재로 인한 리키지 불량발생요인을 제거할 수 있을 뿐만 아니라, 디바이스 웨이퍼와 캡구조물의 접합을 금속 실링방식 외에도 다양한 다른 방식, 예를 들어 애노드본딩 또는 접합제를 이용한 방법을 필요에 따라 선택하여 사용할 수 있다.
- <42> 또한, 공정측면에서도 별도의 캡구조물에 대한 가공공정을 생략하고, 디바이스 웨이퍼에 적용되는 반도체 제조공정에서 일괄적으로 수행할 수 있으므로, 보다 정밀하면서도 간소하게 웨이퍼 레벨 패키지를 제조할 수 있다.
- <43> 이하, 첨부된 도면을 참조하여, 본 발명의 다양한 실시형태를 상세히 설명하기로 한다.
- <44> 도3a와 도3b는 본 발명의 일 실시형태에 따른 웨이퍼 레벨 패키지의 측단면도 및 상부평면도이다.
- <45> 도3a를 참조하면, 본 발명의 일 실시형태에 따른 웨이퍼 레벨 패키지(70)는, FBAR 소자와 같은 마이크로 디바이스(55)가 형성된 디바이스 웨이퍼(50)와 캡 구조물(60)을 포함한다. 본

실시형태에서 채용된 캡 구조물은 디바이스 웨이퍼(50)와 동일한 실리콘 물질로 이루어진 캡 웨이퍼(60)이다. 상기 캡 웨이퍼(60)로 사용될 수 있는 웨이퍼로는 실리콘 웨이퍼 외에도 글래스 웨이퍼 또는 감광성 드라이필름이 있을 수 있다. 본 실시형태와 같이 상기 캡 웨이퍼(60)는 마이크로 디바이스에 상응하는 영역에 캐비티(64)를 구비할 수 있다.

- <46> 상기 디바이스 웨이퍼(50)는 그 상면에 형성된 마이크로 디바이스(55)를 구동하기 위한 본딩패드(51)와 그 상면 주위에 형성된 주변금속패드(52)를 포함할 수 있다. 마이크로 디바이스(55)는 집적회로와 같은 능동소자일 수 있으며, 센서와 같은 수동소자일 수 있다. 본 실시형태에서는, FBAR와 같이 공진소자를 예시한 것으로서, 이 경우에는 상기 디바이스 웨이퍼(50)는 마이크로 디바이스(55)가 위치한 영역에 형성된 에어갭(54)을 포함할 수 있다.
- <47> 상기 디바이스 웨이퍼(50)는 상기 본딩패드(51)로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터(57)를 포함한다. 상기 비아 컨넥터(57)는 비아홀을 도전물질로 충전하는 과정에서 본딩패드(51) 상에 추가적으로 형성되는 도전층부분(57a)을 포함할 수 있다. 또한, 상기 비아 컨넥터(57)는 상기 디바이스 웨이퍼(50) 하면에 형성된 외부 본딩패드(58)에 연결된다. 따라서, 외부 본딩패드(58)는 비아 컨넥터(57)를 통해 본딩패드(51)에 연결될 수 있다.
- <48> 도3b와 같이, 와이어(59)를 통해 외부회로(미도시)와 외부 본딩패드(58)에 연결시킴으로써 외부회로의 신호를 디바이스(55)에 전송시킬 수 있다.
- <49> 이와 같이, 본 실시형태에 따른 웨이퍼 레벨 패키지(70)는 도2에 도시된 종래의 웨이퍼 레벨 패키지와 달리, 디바이스 웨이퍼(50)에 외부회로와 연결되는 비아컨넥터(57)와 외부본딩패드(58)를 형성함으로써 캡구조물에 대한 별도의 가공공정 없이 디바이스 웨이퍼의 제조공정

에 연속하여 일괄적인 공정으로 패키지컨넥트구조를 형성할 수 있을 뿐만 아니라, 도2과 같이 캡구조물에 형성된 비아홀에 의한 노출을 방지하기 위한 링형상 실링부재를 형성할 필요가 없다는 이점을 제공한다.

<50> 도3a에 도시된 웨이퍼레벨 패키지(70)는 디바이스 패키지(50) 상면의 외주영역을 따라 형성된 주변금속패드(52) 상에 금속실링부재(53)를 형성하여 고온에서 캡 웨이퍼(60)와 접합시킴으로써 마이크로 디바이스(55)가 외부영역과 분리되어 밀폐시킬 수 있다.

<51> 또한, 본 발명에 따르면, 패키지 내부의 마이크로 디바이스(55)와 본딩패드(51)를 기밀 유지하기 위한 방법은 다양하게 구현될 수 있다. 종래에는 캡 웨이퍼에 비아홀을 형성하기 때문에 상기 비아홀에 대한 실링수단으로써 본딩패드 상에 링형상 실링부재를 형성해야만 했으며, 이러한 실링부재는 금속인 본딩패드 상에 형성해야 하므로, 금속물질인 실링부재를 사용할 수 밖에 없었다.

<52> 하지만, 본 발명에 따른 패키지 구조에서는 캡 웨이퍼의 비아홀을 통해 본딩패드를 노출시키지 않으므로, 실링부재를 본딩패드 상에 형성할 필요가 없다. 따라서, 반드시 금속실링부재를 이용할 필요가 없으며, 웨이퍼 표면 상에 직접 실링부재를 형성할 수 있으므로, 글래스 플릿 또는 수지계열 접착제를 이용하거나, 애노드본딩방식 등 다양한 실링수단을 선택하여 사용할 수 있다.

<53> 나아가, 패키지연결구조가 디바이스 웨이퍼에 모두 구현되므로, 캡구조물을 실리콘 웨이퍼가 아닌 다른 재질의 구조물을 채용할 수도 있다. 이러한 다양한 실시형태와 관련해서는, 도5 및 도6에서 후술하기로 한다.

- <54> 도4a 내지 도4e는 본 발명의 일 실시형태에 따른 웨이퍼 레벨 패키지의 제조공정을 설명하기 위한 공정단면도이다.
- <55> 우선, 도4a와 같이, 본 발명에 따른 제조공정은 마이크로 디바이스(85)와 상기 마이크로 디바이스(85)에 연결된 본딩패드(81)가 형성된 상면을 갖는 디바이스 웨이퍼(80)를 마련하는 단계로 시작된다. 상기 디바이스 웨이퍼(80)는 그 상면 주위에 본딩패드와 동시에 형성될 수 있는 주변금속패드(82)를 포함할 수 있다. 본 실시형태에서 마이크로 디바이스(85)는 FBAR소자로서, 디바이스 웨이퍼(80)에는 에어갭(84)이 형성될 수 있다. 또한, 마이크로 디바이스(85)는 도전성 리드(미도시)에 의해 본딩패드(81)에 전기적으로 접속된다.
- <56> 이어, 상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터를 형성하는 공정을 실시한다. 본 공정의 바람직한 예가 도4b 내지 도4d에 도시되어 있다.
- <57> 도4b와 같이, 상기 디바이스 웨이퍼(80)의 본딩패드(81)에 소정의 깊이를 갖는 비아홀(H)을 형성한다. 본 단계에서 형성되는 비아홀(H)은 상기 디바이스 웨이퍼(80)를 완전히 관통하도록 형성될 수도 있으나, 최종 패키지의 소형화를 위해 디바이스 웨이퍼(80)의 하면에 그라인딩공정을 적용할 것을 고려하여 비아홀(H) 깊이를 잔류할 웨이퍼 두께와 동일하거나 다소 크게 형성할 수 있다.

- <58> 이어, 도4c와 같이, 상기 비아홀(H)에 도전물질을 충전시켜 비아 컨넥터(87)을 형성한다. 비아 컨넥터(87)는 본딩패드(81) 상에도 도전층부분(87a)을 포함할 수 있으며, 비아 컨넥터(87)를 형성하는 단계에서 동일한 금속물질로 주변금속패드(82)상에 실링부재(84)를 형성한다.
- <59> 다음으로, 도4d와 같이, 상기 금속 실링부재(84)를 이용하여 상기 디바이스 웨이퍼(80)의 상면에 캡 웨이퍼(90)를 접합시킨다. 이로써, 상기 마이크로 디바이스(85)가 외부와 분리되어 밀폐될 수 있다. 상기 캡 웨이퍼(90)는 디바이스 웨이퍼(80)와 동일한 실리콘 물질로 이루어질 수 있으며, 마이크로 디바이스(85)에 대응하는 위치에 캐비티(94)를 형성하여 마이크로 디바이스(85)를 수용할 수 있는 공간을 마련할 수 있다.
- <60> 본 실시형태에서는, 도4c 및 도4d에 도시되어 설명된 바와 같이 상기 디바이스 웨이퍼(80)를 접합시킨 후에 그라인딩공정을 실시할 수도 있으나, 이와 달리 그라인딩공정을 실시한 후에, 디바이스 웨이퍼(80)를 접합시키는 공정을 실시할 수도 있다.
- <61> 이어, 상기 캡 웨이퍼(90)를 디바이스 웨이퍼(80)에 접합시킨 후에, 상기 디바이스 웨이퍼(80)를 점선으로 표시된 부분까지 그라인딩하여, 비아 컨넥터(87)를 상기 디바이스 웨이퍼(80) 하면에 노출시킨다. 최종적으로, 도4e와 같이 상기 디바이스 웨이퍼(80)의 하면에 상기 비아 컨넥터(87)를 통해 상기 본딩패드(81)에 연결되는 외부 본딩패드(89)를 형성한다. 이로써 디바이스 웨이퍼에 패키지연결구조를 형성할 수 있다.

- <62> 본 발명에서는 상기한 실시형태와 같이 반드시 금속실링부재를 이용할 필요가 없으며, 웨이퍼 표면 상에 직접 실링부재를 형성할 수 있다. 즉, 글래스 풀릿 또는 수지계열 접착제를 이용하거나, 애노드본딩방식 등 다양한 실링수단을 선택하여 사용할 수 있다. 이러한 실링방식의 다양한 선택이 가능한 이유는 디바이스 웨이퍼에 비아컨넥터를 형성함으로써 캡 웨이퍼의 비아홀을 통해 본딩패드를 노출시키지 않으므로, 실링부재를 본딩패드 상에 형성할 필요가 없기 때문이다.
- <63> 도5는 본 발명의 다른 실시형태에 따른 웨이퍼 레벨 패키지(130)의 측면면도이다. 본 실시형태는 도3a와 유사한 패키지 연결구조를 갖는 디바이스 웨이퍼를 포함하지만, 캡 웨이퍼의 구조가 상이하며, 디바이스 웨이퍼와 캡 웨이퍼의 접합방식도 다른 웨이퍼 레벨 패키지를 예시한다.
- <64> 도5를 참조하면, 상기 디바이스 웨이퍼(110)는 그 상면에 형성된 마이크로 디바이스(115)를 구동하기 위한 본딩패드(111)를 포함하며, FBAR와 같은 마이크로 디바이스(115)를 위한 에어갭(114)을 포함할 수 있다.
- <65> 상기 디바이스 웨이퍼(110)에 형성된 패키지연결구조는 도3a와 유사하게 상기 본딩패드(111)로부터 상기 디바이스 웨이퍼(110)의 하면까지 연장된 비아 컨넥터(117)를 포함하며, 상기 바이 컨넥터(117)는 상기 디바이스 웨이퍼(110) 하면에 형성된 외부 본딩패드(118)에 연결된다. 이로써, 외부 본딩패드(118)는 비아 컨넥터(117)를 통해 본딩패드(111)에 연결되는 외부 회로와 연결하기 위한 패키지연결구조를 갖출 수 있다.

<66> 한편, 본 실시형태에서 채용된 캡 웨이퍼(120)는 마이크로 디바이스(115)가 형성된 영역 뿐만 아니라 본딩패드(111)가 형성될 영역이 수용될 수 있는 공간(124)이 마련된다. 또한, 캡 웨이퍼(120)는 에폭시 수지와 같은 수지계열 접착제로 이루어진 실링부재(113)를 이용하여 디바이스 웨이퍼(110)의 상면에 접합된다. 이와 같이, 본 실시형태에서는 도3a와 같이 디바이스 웨이퍼 상에 별도의 주변금속패드를 설치하지 않고, 직접 실리콘 웨이퍼 표면을 이용하여 접합하므로 금속실링부재가 아닌 통상의 접착제를 사용할 수 있다. 여기서 사용될 수 있는 실링부재(113)는 수지계열의 접착제에 한정되지 않으며, 글래스 플릿(glass frit) 또는 애노드본딩을 사용할 수도 있다.

<67> 도6a 내지 도6d는 본 발명의 또 다른 실시형태에 따른 웨이퍼 레벨 패키지의 제조공정을 설명하기 위한 측면면도를 나타낸다. 본 실시형태는 도3a 및 도5에 예시된 형태와 유사한 패키지 연결구조를 갖는 디바이스 웨이퍼를 포함하지만, 실리콘 웨이퍼가 아닌 감광성 드라이필름을 이용하여 제조된 캡구조물을 갖는 웨이퍼 레벨 패키지를 예시한다.

<68> 우선, 도6a와 같이, 도4a 내지 도4c에 예시된 공정과 유사한 방식으로 상기 본 발명에 따른 패키지 연결구조를 갖는 디바이스 웨이퍼(150)를 제조한다. 다만, 도4b와 달리 비아 컨넥터(157)를 형성하기 위한 비아홀을 디바이스 웨이퍼가 관통하도록 형성하거나, 그라인딩공정을 미리 실시한 경우를 예시한다. 본 단계에서는, 마이크로 디바이스(155)와 본딩패드(151) 및 에어갭(154)을 형성된 마이크로 디바이스 웨이퍼(150)를 마련하고, 상기 본딩패드(151)로부터 상기 디바이스 웨이퍼(150)의 하면까지 연장된 비아 컨넥터(157)와, 상기 바이 컨넥터(157)에 연결되도록 상기 디바이스 웨이퍼(150) 하면에 외부 본딩패드(158)를 형성한다.

<69> 이어, 도6b와 같이, 드라이필름을 이용하여 상기 디바이스 웨이퍼(150) 상면에 상기 마이크로 디바이스(155)와 상기 본딩패드(151)가 형성된 영역을 둘러싸도록 측벽구조물(162)을 형성한다. 상기 측벽 구조물(162)은 적어도 상기 디바이스(155)보다 높게 형성한다. 이러한 공정은 감광성 드라이필름을 적층한 후에 상기 마이크로 디바이스(155)와 상기 본딩패드(151)가 형성된 영역을 선택적으로 제거하고 측벽구조물(162)에 해당하는 드라이필름부분을 잔류시킴으로써 구현될 수 있다.

<70> 다음으로, 도6c와 같이, 드라이필름을 이용하여 상기 측벽구조물(162)의 상부가 덮혀지도록 루프(roof)구조물(164)을 형성함으로써 디바이스(155) 및 본딩패드(151)가 구현된 영역을 밀폐하여 보호하기 위한 캡구조물(160)을 완성할 수 있다. 이러한 공정은 측벽구조물(162)로 둘러싸인 영역이 밀폐되도록 상기 측벽구조물(162) 상단에 루프구조(164)물을 구성하는 드라이필름을 적층함으로써 구현될 수 있다.

<71> 끝으로, 도6d와 같이, 상기 캡구조물(160)의 외부면에 페시베이션층(165)을 도포한다. 상기 페시베이션층(165)은 캡구조물(160)을 보호하기 위한 층으로서 에폭시수지, 열경화성 수지 및 감광성 수지로 구성된 그룹으로부터 선택된 물질로 형성될 수 있다.

<72> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범

위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

【발명의 효과】

<73> 상술한 바와 같이, 본 발명에 따르면, 캡 구조물이 아닌, 디바이스 웨이퍼 상에 외부 회로와 연결하기 위한 패키지연결구조를 형성한 웨이퍼 레벨 패키지를 제공함으로써, 별도의 캡 웨이퍼에 대한 가공공정을 생략하고 디바이스 제조를 위한 반도체 제조공정을 통해 일괄적인 제조가 가능하고, 종래방식과 달리 본딩패드 상에 실링부재가 요구되지 않으므로, 금속실링방식 외에도 다양한 실링방식과 캡구조를 선택하여 사용할 수 있다는 장점이 있다.

【특허청구범위】

【청구항 1】

마이크로 디바이스와 상기 마이크로 디바이스에 연결된 본딩패드가 형성된 상면을 갖는 디바이스 웨이퍼;

상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터;

상기 디바이스 웨이퍼의 하면에 형성되어 상기 비아 컨넥터를 통해 상기 본딩패드와 연결된 외부 본딩패드; 및

상기 마이크로 디바이스가 외부로부터 분리되어 밀폐되도록 상기 디바이스 웨이퍼 상면에 접합된 캡구조물을 포함하는 웨이퍼 레벨 패키지.

【청구항 2】

제1항에 있어서,

상기 캡구조물은 상기 마이크로 디바이스에 대응하는 부분에 캐비티가 형성된 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 3】

제1항에 있어서,

상기 캡구조물은 실리콘 웨이퍼 또는 글래스 웨이퍼인 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 4】

제1항에 있어서,

상기 캡구조물과 상기 디바이스 웨이퍼를 접합하기 위한 실링부재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 5】

제3항에 있어서,

상기 디바이스 웨이퍼는 상기 캡구조물과 접합되는 상면영역에 형성된 주변 금속패드를 구비하며, 상기 실링부재는 상기 주변 금속패드 상에 형성된 금속물질인 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 6】

제3항에 있어서,

상기 실링부재는 글래스 플릿인 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 7】

제3항에 있어서,

상기 실링부재는 수지계열 접착제인 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 8】

제1항에 있어서,

상기 캡구조물은, 상기 마이크로 디바이스와 본딩패드를 수용하기 위한 공간이 마련된 드라이필름 구조물과 그 외부면에 도포된 페시베이션층을 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 9】

제7항에 있어서,

상기 페시베이션층은 에폭시수지, 열경화성 수지 및 감광성 수지로 구성된 그룹으로부터 선택된 물질인 것을 특징으로 하는 웨이퍼 레벨 패키지.

【청구항 10】

마이크로 디바이스와 상기 마이크로 디바이스에 연결된 본딩패드가 형성된 상면을 갖는 디바이스 웨이퍼를 마련하는 단계;

상기 본딩패드로부터 상기 디바이스 웨이퍼의 하면까지 연장된 비아 컨넥터를 형성하는 단계;

상기 마이크로 디바이스가 외부와 분리되어 밀폐되도록 상기 디바이스 웨이퍼 상면에 캡 구조물을 접합시키는 단계; 및

상기 디바이스 웨이퍼의 하면에 상기 비아 컨넥터를 통해 상기 본딩패드에 연결되는 외부 본딩패드를 형성하는 단계를 형성하는 단계를 포함하는 웨이퍼 레벨 패키지 제조방법.

【청구항 11】

제10항에 있어서,

상기 비아 컨넥터를 형성하는 단계는,

상기 본딩패드에 소정의 깊이를 갖는 비아홀을 형성하는 단계와, 상기 비아홀에 도전물질을 충전시켜 비아 콘넥터를 형성하는 단계와, 상기 비아 콘넥터가 상기 디바이스 웨이퍼 하면에 노출되도록 상기 디바이스 웨이퍼를 그라인딩하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 12】

제11항에 있어서,

상기 디바이스 웨이퍼를 그라인딩하는 단계는, 상기 캡구조물을 접합시키는 단계 전 또는 후에 실행되는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 13】

제10항에 있어서,

상기 캡구조물은 상기 마이크로 디바이스에 대응하는 부분에 캐비티가 형성된 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 14】

제10항에 있어서,

상기 캡구조물은 실리콘 웨이퍼 또는 글래스 웨이퍼인 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 15】

제10항에 있어서,

상기 캡구조물과 상기 디바이스 웨이퍼를 접합하기 위한 실링부재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 16】

제12항에 있어서,

상기 디바이스 웨이퍼는 상기 캡구조물과 접합되는 상면영역에 형성된 주변 금속패드를 구비하며, 상기 실링부재는 상기 주변금속패드 상에 형성된 금속물질인 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 17】

제12항에 있어서,

상기 실링부재는 글래스 플릿인 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 18】

제12항에 있어서,

상기 실링부재는 수지계열 접착제인 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 19】

제10항에 있어서,

상기 캡구조물을 형성하는 단계는,

드라이필름을 이용하여 상기 마이크로 디바이스와 상기 본딩패드를 수용하기 위한 공간이 마련된 드라이 필름 구조물을 형성하는 단계와,

상기 캡 구조물의 외부면에 페시베이션층을 도포하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【청구항 20】

제19항에 있어서,

상기 드라이필름 구조물을 형성하는 단계는,

드라이필름을 이용하여 상기 디바이스 웨이퍼 상면에 상기 마이크로 디바이스와 상기 본딩패드가 형성된 영역을 둘러싸도록 적어도 상기 디바이스보다 높은 측벽구조물을 형성하는 단계와, 드라이필름을 이용하여 상기 측벽구조물 상부가 밀폐되도록 루프(roof)구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

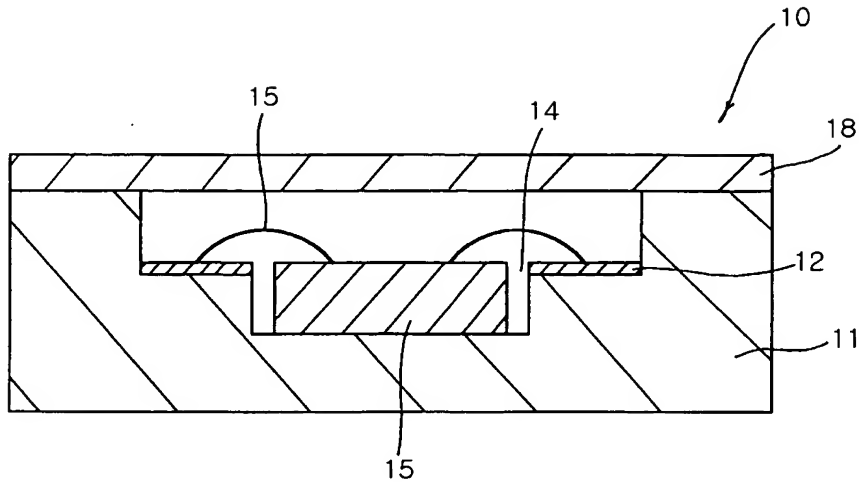
【청구항 21】

제20항에 있어서,

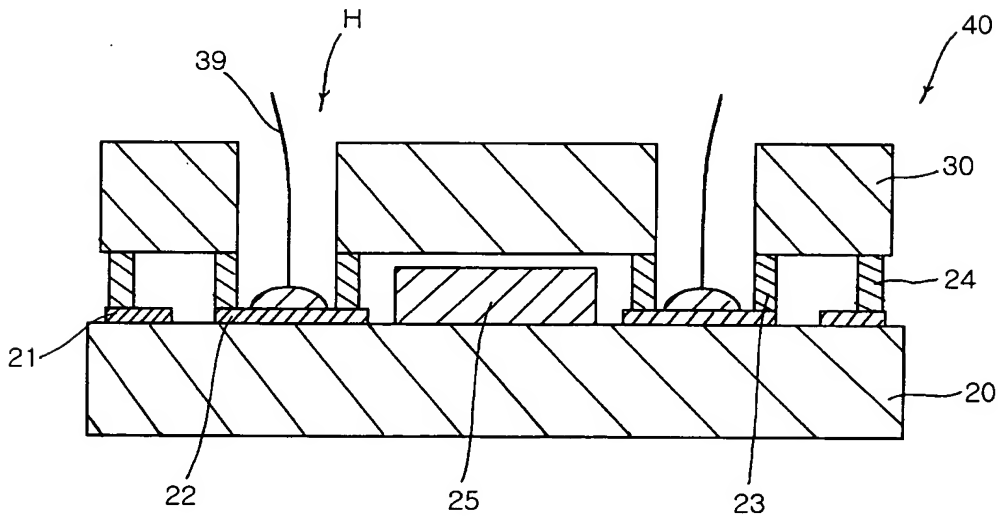
상기 페시베이션층은 에폭시수지, 열경화성 수지 및 감광성 수지로 구성된 그룹으로부터 선택된 물질인 것을 특징으로 하는 웨이퍼 레벨 패키지 제조방법.

【도면】

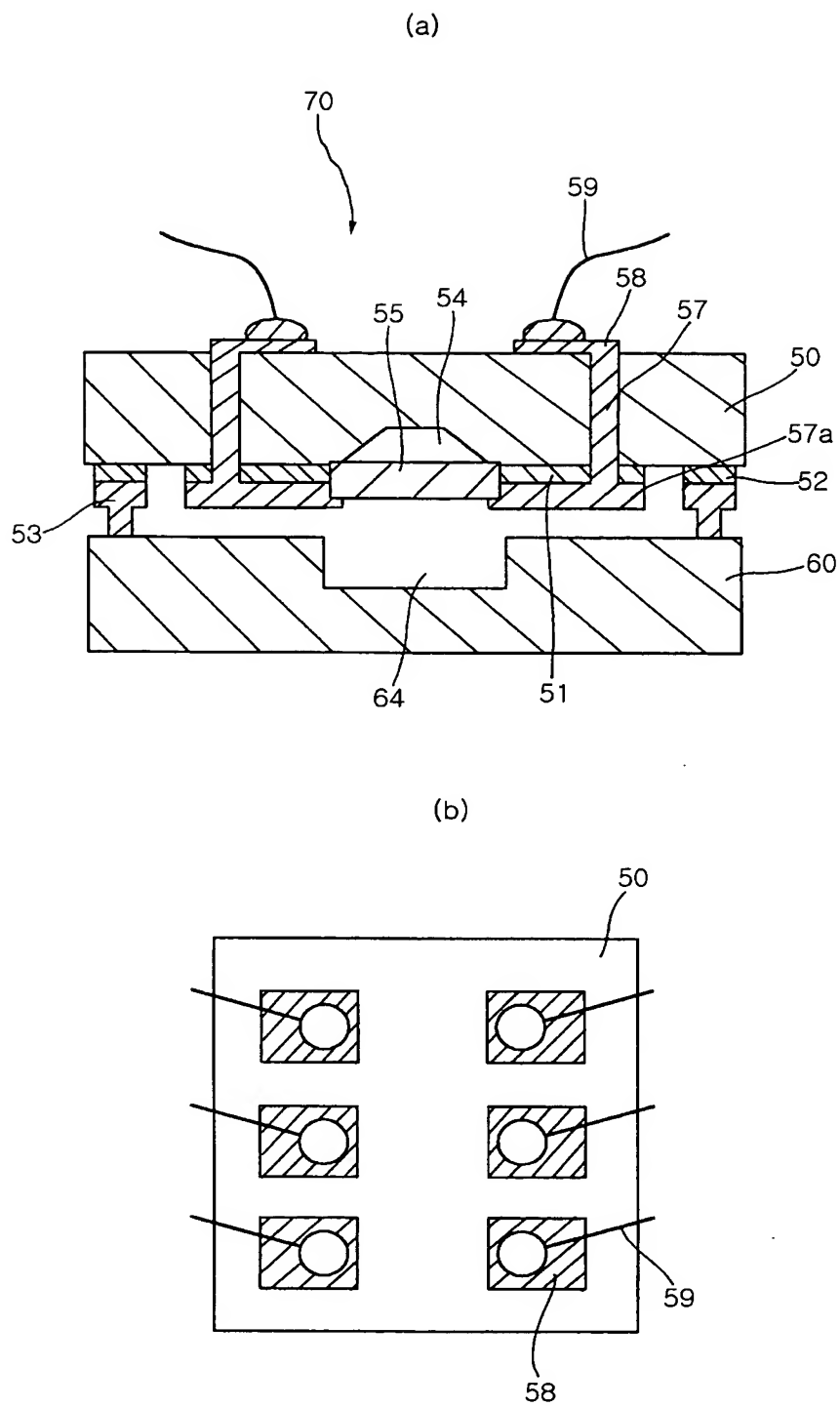
【도 1】



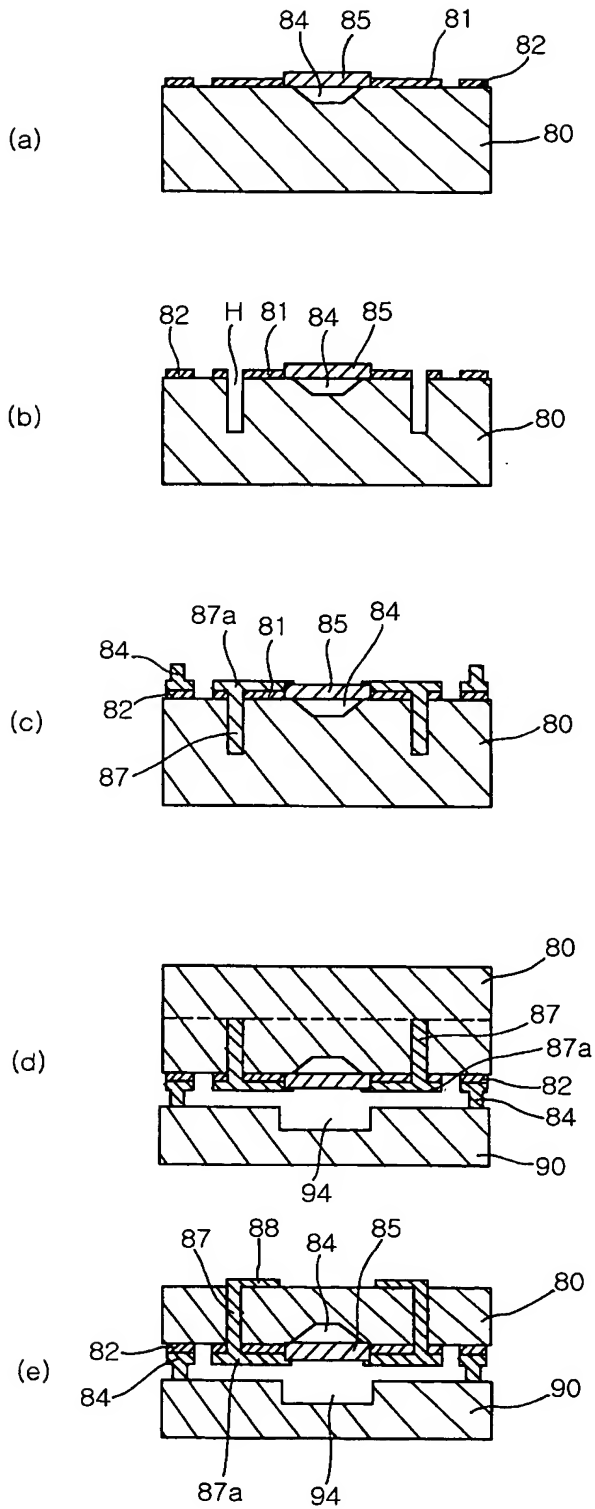
【도 2】



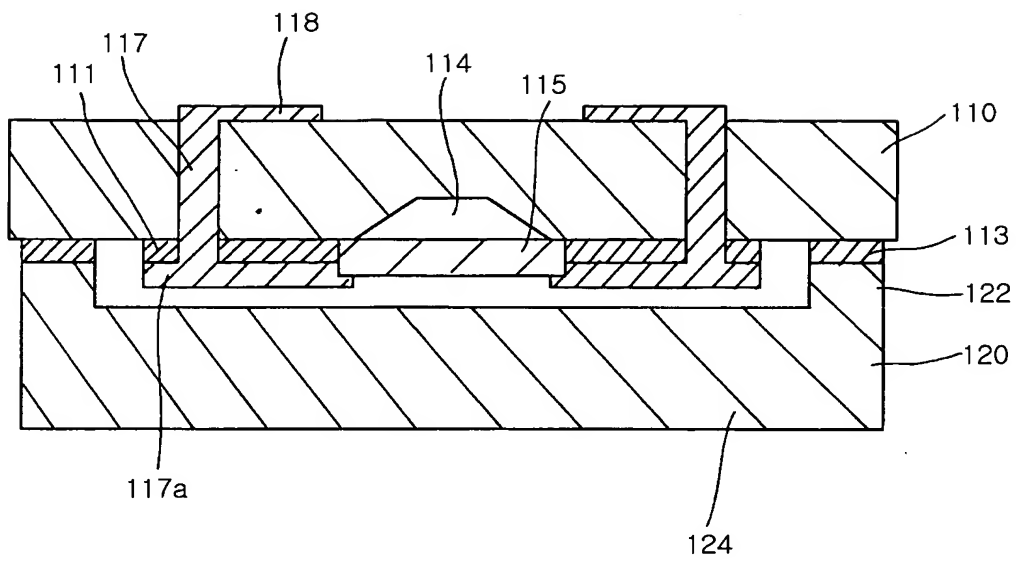
【도 3】



【도 4】



【도 5】



【도 6】

